



(19)

(11) Publication number: **62146003 A**

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 60287546

(51) Intl. Cl.: H03H 17/02 G11B 20/10

(22) Application date: 20.12.85

(30) Priority:

(43) Date of application
publication: 30.06.87(84) Designated
contracting states:

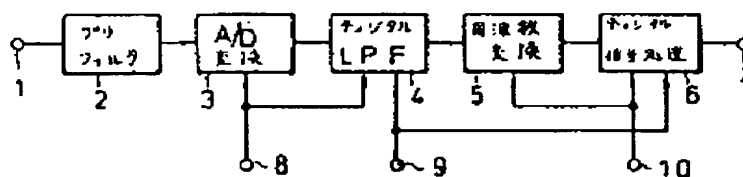
(71) Applicant: SONY CORP

(72) Inventor: KUWABARA HIROSHI

(74) Representative:

**(54) DIGITAL SIGNAL
PROCESSOR****(57) Abstract:**

PURPOSE: To make a complicated signal processing possible, to eliminate the need for the use of quick operators and to reduce the cost by performing the signal processing to obtain a desired frequency characteristic in a transmission band after the output of a digital low-pass filter is converted to the sampling frequency of a transmission signal.



CONSTITUTION: Clock pulses having a sampling frequency (f_s) are supplied to a frequency converting circuit 5 and a digital signal processing circuit 6 from a terminal 10. In the frequency converting circuit 5, a thinning processing is performed at the timing of the clock pulse of the frequency (f_s) from the terminal 10 to convert the frequency. Clock pulses having a frequency higher than a frequency (f_{os}) ($2f_s$) of oversampling are supplied to the digital signal processing circuit 6 from a terminal 9. An arithmetic processing is performed within a sampling period $1/f_s$ in the digital signal processing circuit 6, and a frequency band up to about $1/2f_s$ is secured without being affected by turned-back noise, and a digital video signal having a desired frequency characteristic is taken out from an output terminal 7.

COPYRIGHT: (C)1987,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2517709号

(45) 発行日 平成 8 年 (1996) 7 月 24 日

(24) 登録日 平成 8 年 (1996) 5 月 17 日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 17/02		8842-5 J	H 0 3 H 17/02	D
G 1 1 B 20/10	3 1 1	7736-5 D	G 1 1 B 20/10	3 1 1

発明の数 1 (全 5 頁)

(21) 出願番号 特願昭60-287546
(22) 出願日 昭和60年(1985)12月20日
(65) 公開番号 特開昭62-146003
(43) 公開日 昭和62年(1987)6月30日

審判番号 平6-21388

(73) 特許権者 999999999
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 桑原 浩
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(74) 代理人 弁理士 杉浦 正知

合議体
審判長 七條 耕司
審判官 鈴木 朗
審判官 和田 志郎

(56) 参考文献 特開 昭59-33927 (J P, A)

(54) 【発明の名称】 デジタル信号処理装置

1

(57) 【特許請求の範囲】

【請求項1】 アナログフィルタを介して入力信号が供給されると共に伝送信号のサンプリング周波数 (f_s) の2倍以上のオーバーサンプリング周波数 (f_{os}) によりA/D変換するA/D変換器と、
上記A/D変換器の出力の帯域を制限し折り返し雑音を除去するデジタルローパスフィルタと、
上記デジタルローパスフィルタの帯域制限された出力を上記伝送信号のサンプリング周波数 (f_s) に変換する周波数変換回路と、
上記周波数変換回路の出力が供給されると共に、上記サンプリング周波数のクロックパルスおよび上記オーバーサンプリング周波数 (f_{os}) より高い周波数のクロックパルスが供給され、サンプリング周期 ($1/f_s$) 内でエンサシス等のデジタル的なイコライズ処理をするディ

2

ジタル信号処理回路とを備えたことを特徴とするデジタル信号処理装置。

【発明の詳細な説明】

【産業上の利用分野】

この発明は、例えばVTRにおけるプリエンファシス処理、イコライズ処理等に用いて好適なデジタル信号処理装置に関する。

【発明の概要】

この発明は、伝送帯域内の周波数特性を所望のものとするための信号処理を行うデジタル信号処理装置において、伝送信号のサンプリング周波数 f_s の $1/2f_s$ となる周波数近くまでの帯域を折り返し雑音に影響されことなく確保するためにサンプリング周波数 f_s の n 倍の周波数でサンプリング (オーバーサンプリング) して量子化し、カットオフ周波数 $1/2f_s$ のデジタルローパスフィ

ルタにより伝送帯域を急峻に制限してサンプリング周波数 f_s に周波数変換した後、周波数特性が所望のものとなるように処理することにより、演算処理要のクロックの周波数を上げることなく演算回数の増加を可能にし、より高度な信号処理を可能とするものである。

〔従来の技術〕

従来、アナログ信号をデジタル信号に変換して信号処理を行い記録又は伝送するシステム等において、折り返し雑音に影響されることがない理論限界、即ち、伝送信号のサンプリング周波数 f_s の $1/2$ 近くまでの帯域を確保したい場合には、通常、サンプリング周波数 f_s の n 倍のクロックを用いてサンプリングするオーバーサンプリングの方法が用いられる。

例えば、オーバーサンプリングとしてデジタル的に信号処理を行いサンプリング周波数 f_s の出力信号を最終的に得るデジタル信号処理装置の場合について第3図を参照して説明する。

入力端子11から例えば、アナログのビデオ信号が入力信号としてプリフィルタ12に供給される。プリフィルタ12において、アナログ的に入力信号中の $1/2f_s$ の周波数以上の不要成分が除去され、プリフィルタ12の出力がA/D変換器13に供給される。

A/D変換器13、デジタル信号処理回路14及びデジタルローパスフィルタ15の夫々には、端子18から本来のサンプリングクロックの例えば2倍の周波数のクロックパルスが供給され、このクロックパルスに基づいてA/D変換器13、デジタル信号処理回路14及びデジタルローパスフィルタ15の夫々が動作する構成とされている。

また、デジタル信号処理回路14及びデジタルローパスフィルタ15の夫々は、例えば、プログラムストア方式とされ、デジタル信号処理回路14及びデジタルローパスフィルタ15の夫々には、端子19からの周波数 $2f_s$ より更に高い周波数のクロックパルスが供給され、オーバーサンプリング周期内に時分割で演算を実行し、所定の処理を行う構成とされている。

A/D変換器13において、アナログのビデオ信号が端子18からのクロックパルスのタイミングで標準化された後、量子化され、デジタルのビデオ信号とされる。A/D変換器13の出力がデジタル信号処理回路14に供給される。

デジタル信号処理回路14において、ビデオ信号がデジタル的にイコライズされて、所望の周波数特性とされ、デジタル信号処理回路14の出力がデジタルローパスフィルタ15に供給される。

デジタルローパスフィルタ15は、カットオフ周波数が $1/2f_s$ とされており、デジタルローパスフィルタ15において、デジタルのビデオ信号の帯域が急峻に制限され、デジタルローパスフィルタ15の出力が周波数変換回路16に供給される。

周波数変換回路16には、端子20から周波数 f_s のクロ

クパルスが供給されており、このクロックパルスのタイミングで周波数変換がなされる。即ち、オーバーサンプリングが2倍の周波数でなされた場合には、周波数変換回路16において、2回に1回の間引き処理がなされることで、サンプリング周波数が f_s とされ、略々 $1/2f_s$ までの周波数帯域が確保され、所望の周波数特性とされたデジタルのビデオ信号が出力端子17から取り出される。

〔発明が解決しようとする問題点〕

前述した従来のオーバーサンプリングを用いたデジタル信号処理装置においては、 $1/2f_s$ までの周波数帯域が折り返し雑音に影響されることがなく確保される。しかし、所望の周波数特性とするための信号処理時においては、本来のサンプリング周波数 f_s の例えば2倍の周波数のクロックパルスによりサンプリングされているため、信号処理のための演算時間が $1/2$ に短縮されてしまう欠点があった。このため、演算時間内に所定の演算処理を実行できない場合には、演算処理用のクロックの周波数を上げる取共に、高速な演算素子を使用せねばならず、コストが高くなる問題が生ずる。

従って、この発明の目的は、オーバーサンプリングを用いた場合においても、演算処理用のクロックの周波数を上げることなく、演算時間内の可能な演算回数を増加させ、より複雑な信号処理が可能とされたデジタル信号処理装置を提供することにある。

〔問題点を解決するための手段〕

この発明は、アナログフィルタを介して入力信号が供給されると共に伝送信号のサンプリング周波数(f_s)の2倍以上のオーバーサンプリング周波数(f_{os})によりA/D変換するA/D変換器と、

A/D変換器の出力の帯域を制限し折り返し雑音を除去するデジタルローパスフィルタと、

デジタルローパスフィルタの帯域制限された出力を伝送信号のサンプリング周波数(f_s)に変換する周波数変換回路と、

周波数変換回路の出力が供給されると共に、サンプリング周波数のクロックパルスおよびオーバーサンプリング周波数(f_{os})より高い周波数のクロックパルスが供給され、サンプリング周期($1/f_s$)内でエンベロープ等のデジタル的なイコライズ処理をするデジタル信号処理回路とを備えたことを特徴とするデジタル信号処理装置である。

〔作用〕

A/D変換器3において、最終的に得たいサンプリング周波数 f_s の n 倍の周波数で伝送信号がサンプリング(オーバーサンプリング)されて量子化され、カットオフ周波数 $1/2f_s$ のデジタルローパスフィルタ4により、オーバーサンプリングされた伝送信号の周波数帯域が急峻に制限され、サンプリング周波数 f_s の $1/2$ となる周波数近くまでの帯域が折り返し雑音に影響されることがなく確保される。この伝送信号が周波数変換回路5に供給され

てサンプリング周波数 f_s となるように周波数変換された後、デジタル信号処理回路6に供給され、デジタル信号処理回路6において、サンプリング周期 $1/f_s$ において演算処理がなされ、伝送信号がデジタル的にイコライズされ、所望の周波数特性のデジタル信号とされる。

〔実施例〕

以下、この発明の一実施例を図面を参照して説明する。第1図は、この発明の一実施例を示すもので、第1図に示すようにプリフィルタ2、A/D変換器3、デジタルローパスフィルタ4、周波数変換回路5及びデジタル信号処理回路6によりデジタル信号処理装置が構成され、オーバーサンプリングした後に最終的にサンプリング周波数 f_s の所望の周波数特性を有するデジタルの出力信号を得るものである。

第1図において1で示されるのが入力端子であり、入力端子1から例えばアナログのビデオ信号が入力信号としてプリフィルタ2に供給される。プリフィルタ2は、例えばA/D変換時の折り返し雑音の発生を防止するための帯域制限用のアナログのローパスフィルタであり、カットオフ周波数がサンプリング周波数 f_s の $1/2$ とされている。プリフィルタ2において、第2図Aに示すように入力信号中のサンプリング周波数 f_s の $1/2$ 以上の周波数の不要成分が除去され、周波数帯域が $1/2f_s$ 付近でやや緩慢に制限された出力がA/D変換器3に供給される。

A/D変換器3及びデジタルローパスフィルタ4の夫々には端子8から本来のサンプリングクロックの例えば2倍とされたオーバーサンプリングの周波数 f_{os} ($=2f_s$) のクロックパルスが供給され、この周波数 f_{os} のクロックパルスに基づいてA/D変換器3及びデジタルローパスフィルタ4の夫々が動作する構成とされている。

A/D変換器3において、プリフィルタ2からのアナログのビデオ信号が端子8からのクロックパルスのタイミングで標本化された後、量子化されデジタルのビデオ信号とされる。A/D変換器3から第2図Bに示すように標本化の際に発生した成分を含む出力がデジタルローパスフィルタ4に供給される。

デジタルローパスフィルタ4及びデジタル信号処理回路6の夫々は、例えばプログラムストア方式とされ、デジタルローパスフィルタ4及びデジタル信号処理回路6の夫々には、端子9からオーバーサンプリングの周波数 f_{os} より更に高い周波数のクロックパルスが供給され、所定時間内に時分割で演算を実行し、複数の処理を行う構成とされている。

デジタルローパスフィルタ4は、カットオフ周波数がサンプリング周波数 f_s の略々 $1/2$ の周波数とされ、デジタルローパスフィルタ4において、オーバーサンプリング周期 $1/f_{os}$ 内で演算処理がなされ、第2図Cに示すようにデジタルのビデオ信号の周波数帯域が急峻に制限され、この帯域制限された出力が周波数変換回路5

に供給される。

周波数変換回路5及びデジタル信号処理回路6の夫々には、端子10から周波数 f_s のクロックパルスが供給されている。周波数変換回路5において、端子10からの周波数 f_s のクロックパルスのタイミングで周波数変換がなされる。即ち、オーバーサンプリングがサンプリング周波数 f_s の2倍の周波数 f_{os} でなされた場合には、周波数変換回路5において、2回に1回の間引き処理がなされて第2図Dに示すようにサンプリング周波数 f_s の信号に変換される。このサンプリング周波数 f_s とされたデジタルのビデオ信号がデジタル信号処理回路6に供給される。

デジタル信号処理回路6には、端子9からオーバーサンプリングの周波数 f_{os} により更に高い周波数のクロックパルスが供給されると共に、端子10から周波数 f_s のクロックパルスが供給されている。デジタル信号処理回路6において、サンプリング周期 $1/f_s$ 内で演算処理がなされ、ビデオ信号がデジタル的にイコライズされ、例えば、エンファシス処理の場合には周波数の高域成分の強調処理がなされ所望の周波数特性とされる。サンプリング周波数 f_s とされ、略々 $1/2f_s$ までの周波数帯域までが折り返し雑音に影響されことなく確保され、所望の周波数特性とされたデジタルのビデオ信号が出力端子7から取り出される。

尚、この発明の一実施例においては、オーバーサンプリングの周波数 f_{os} がサンプリング周波数 f_s の2倍となる場合について説明したが、オーバーサンプリングの周波数 f_{os} をサンプリング周波数 f_s の2倍以上としても良い。

〔発明の効果〕

この発明では、A/D変換器において最終的に得たいサンプリング周波数 f_s の n 倍の周波数で伝送信号がサンプリング（オーバーサンプリング）されて量子化され、カットオフ周波数 $1/2f_s$ のデジタルのローパスフィルタによりオーバーサンプリングされた伝送信号の周波数帯域が急峻に制限され、サンプリング周波数 f_s の $1/2$ となる周波数近くまでの帯域が折り返し雑音に影響されことなく確保される。この伝送信号が周波数変換回路に供給されてサンプリング周波数 f_s となるように周波数変換された後、デジタル信号処理回路に供給され、デジタル信号処理回路において、サンプリング周期 $1/f_s$ 内に演算処理がなされ、伝送信号がデジタル的にイコライズされ、所望の周波数特性を有したデジタル信号とされる。

従って、この発明に依れば、従来、オーバーサンプリング周期 $1/n f_s$ 内に演算処理により信号処理を行っていたものが、サンプリング周期 $1/f_s$ 内に演算処理をすれば良くなり、信号処理のための演算時間が増加され、より複雑な信号処理が可能となる。また、この発明に依れば、演算処理用のクロックの周波数を上げる必要がなく

なり、また、高速な演算素子を使用する必要がなくなるため、コストを安くすることができる。

【図面の簡単な説明】

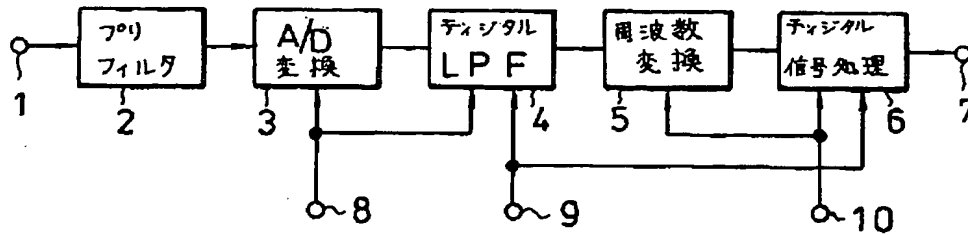
第1図はこの発明の一実施例のブロック図、第2図はこの発明の一実施例の動作説明に用いる略線図、第3図は従来のデジタル信号処理装置の説明に用いるブロック*

*図である。

図面における主要な符号の説明

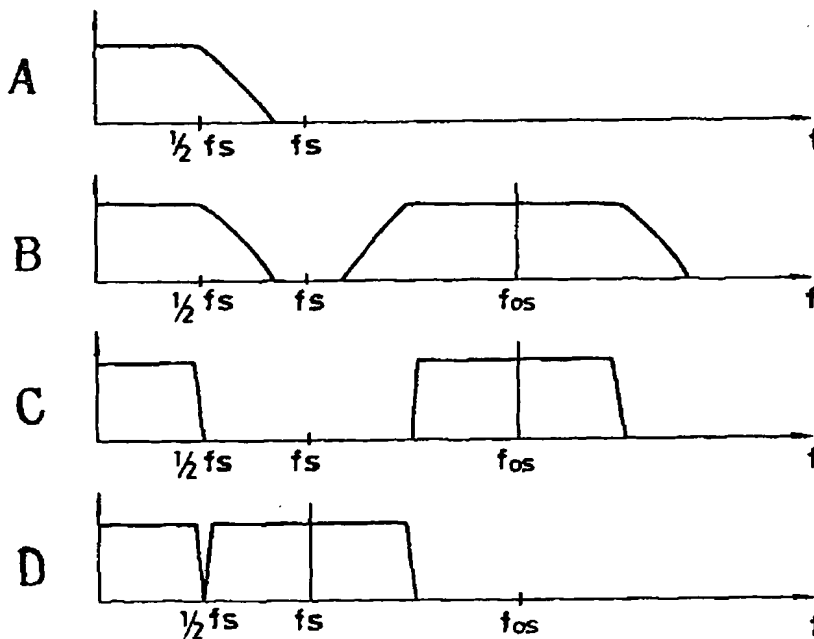
1:入力端子、2:プリフィルタ、3:A/D変換器、4:デジタルローパスフィルタ、5:周波数変換回路、6:デジタル信号処理回路、7:出力端子。

【第1図】



— 実施例の構成

【第2図】



【第3図】

